

Impact of Different Balsa Coding Styles on the Performance and Cost of Asynchronous Pipelined Circuits

Shiau, Da-Sen; Chang, Meng-chou

摘要

隨著單一晶片所能容納的系統越大且越複雜，傳統的同步電路設計方式會造成一些問題：系統的時脈會消耗大量的功率與晶片面積，且時脈歪斜問題越來越難處理。最近幾年，非同步電路技術又引起重視，因其具有下列優點：沒有時脈歪斜問題、易於模組化設計，和低功率消耗。Balsa 是一套著名的硬體描述語言，用來描述非同步電路。由於非同步電路的性能分析遠比同步電路來得複雜，不適當的管線架構將限制住系統中子模組的同時性，而造成非同步系統的性能嚴重下降。本篇論文探討不同的 Balsa 撰寫方式對所合成出的電路所造成的影響。我們使用數種不同的 Balsa 撰寫風格來描述非同步管線電路，然後比較其合成後的電路的面積與性能，以找出較佳的 Balsa 撰寫風格。本研究的結果可應用於一般非同步管線的設計，例如非同步處理器的設計。

關鍵字：非同步電路；非同步管線；Balsa 硬體描述語言