工業教育與技術學刊 第三十三期 民國九十七年 第 127~136 頁 Journal of Industrial Education and Technology Vol. 33. June. 2008, PP. 127~136

# 差模傳輸線間距對訊號完整度之分析

吴明皇\* 陳文中\*\* 許煌昇\*\*\*

\*景文科技大學 電子工程學系 講師 \*\*國立彰化師範大學 工業教育與技術學系 助理教授 \*\*\*景文科技大學 電子工程學系 學生

#### 摘要

由於在差模傳輸中,平行線的間距會影響訊號的完整度,尤其,當平行線的間距太 小時,會使訊號變得不完整而產生失真,進而影響訊號傳輸的準確性。本文的主要目的 是在探討差模傳輸線不同間距所產生對於訊號完整度的影響,並由分析中得到平行線之 間距與訊號完整度之最佳結果,在線寬為10mil之差模傳輸線時,其平行線之間距至少 應為10mil以上,亦即平行線之間距至少應為其傳輸線之線寬以上,方能維持訊號之完 整性。



# Analysis of the Signal Integrity for the Gap of Differential Mode Line

## Ming-Huang Wu\* Wen-Jong Chen\*\* Huang-Sheng Xu\*\*\*

\*Department of Electronic Engineering, Jin Wen University of Science \*\*Department of Industrial Education and Technology, National Changhua University of Education \*\*\*Department of Electronic Engineering, Jin Wen University of Science

#### Abstract

As the digital circuits improved speedly and the pulses developed continuously, the electromagnetic interference (EMI) phenomenon becomes increasingly popular. The EMI of the differential mode line is smaller than that of the common mode line so that many high speed circuits have been gradually utilizing the differential mode. In the differential mode line, a signal needs to adopt two transmission lines of the diametrically opposed phase, but the signals of these lines don't have complete synchronization out of phase under same conditions. Accordingly, the interference signals of the common mode are brought and even affect the signal integrity. This paper probes into the brought interference problem of the gap of differential mode lines and the influence for signal integrity.



Key Words: differential mode, signal Integrity, EMI, crosstalk, transmission line



## 1.簡介

隨高速電腦的發展,CPU 時脈不斷的提升,PCB 所能夠承受的時脈性能也相對地 需要跟著增加。在 CPU 內部的傳輸線路遠較外部 PCB 短而且小,所以能夠承受較高的 時脈。傳輸線路短且小,則能量損失小,所以能夠保有較好的訊號完整度。另外一個好 處是電容效應較小,於是訊號的上升與下降速度也相對提高。對於數位電路而言,所謂 高速是指時脈或訊號的上升與下降速度相當高,主機板需要考慮到擴充的功能,因此傳 輸距離相對地比較長,此便會影響到訊號傳輸的速度。尤其電腦的位元數不斷地提高, PCB 的佈線困難度也較高,造成了主機板速度與效能的限制,當然也造成了整體速度 與效能的限制。

為了提高傳輸的效能,則必須降低電磁干擾的現象。如何設計較低電磁干擾的傳輸線,是目前高速數位時代非常重視的問題。要解決傳輸線的電磁干擾問題,首先需要從 平行線去探討,因為兩條垂直的傳輸線的電磁干擾非常小,而兩條很靠近的平行線之間 存在的電容效應及電感效應會產生串音(cross talk)的干擾現象[1]。串音現象會造成訊號 完整度的問題及時脈速率的限制[2-4]。平行傳輸線的串音現象已經有精確的模型與數學 式子[5-6]。在過去,串音現象的效應也已經被廣泛地探討[7-11],其相關相關改善的方 式亦曾被被提出[12],[13]探討不等長差模傳輸線對於訊號完整度之影響。

當兩條平行傳輸線的訊號相位相同時,稱之為共模傳輸線(Common Mode Transmission Lines),當兩條平行傳輸線的訊號相位相反時稱之為差模傳輸線 (Differential Mode Transmission Lines)。差模電流與共模電流所造成的電磁干擾現象在 [14]中有做詳盡的比較,差模所造成的電磁干擾現象遠比共模來得小。在差模的傳輸 中,電磁幅射的現象較共模傳輸小,亦即訊號的能量損失較小,於是能夠保有較好的訊 號完整度且對於其它傳輸線的干擾比較小,因此對於整體的傳輸效能較佳。由於差模傳 輸線能夠有效地解決串音現象,所以在高速的傳輸線中,已經漸漸地採用差模的傳輸方 式。但是使用差模傳輸需要用兩條傳輸線來傳輸一個訊號,這兩條傳輸線的訊號相位必 須完全相反,因此需要外加反相電路。然而在高速電路中,效能是比較受到重視的,因 此雖然使用差模傳輸需要付出額外的成本,但是這種額外的付出在效能提升的考量之 下,是普遍可以接受的。

現在電子產品的體積越做越小,線與線之間的間距就會很小,間距小時干擾的問題 就會比較嚴重。雖然差模傳輸線能夠有效地抗電磁干擾,但是如果平行線的間距太小時,仍然會因為阻抗的改變而造成訊號的不完整。本文的主要目的是在探討差模傳輸線 不同間距所產生的干擾問題及對於訊號完整度的影響,並由分析中得到平行線之間距與 訊號完整度之最佳結果。

#### 2.共模與差模傳輸線之干擾分析

共模傳輸線是兩條平行線中的訊號相位完全相同,其示意圖如圖一所示;圖二表示 差模傳輸線是兩條平行線中的訊號相位完全相反。

**SHyWeb** 



圖一 共模傳輸線



圖二 差模傳輸線

平行傳輸線之電容效應等效電路如圖三所示,圖四表示為電容效應等效電路示意 圖。為了方便推導,相關變數及參數之假設如下所描述

Web

- V1:第一條平行線之電壓
- V2: 第二條平行線之電壓
- I1: 第一條平行線之電流
- I,:第二條平行線之電流
- C:第一條及第二條平行線對地之電容
- $C_m$ : 兩條平行線之互容
- L:第一條及第二條平行線之自感
- L<sub>m</sub>: 兩條平行線之互感
- $C_c$ : 共模之電容
- L<sub>c</sub>: 共模之電感
- $C_d$ : 差模之電容
- $L_d$ : 差模之電感

■ 140 三十三期 工業教育與技術學刊



圖三 平行傳輸線之電容效應等效電路圖



圖四 平行傳輸線之電感效應等效電路圖

### 2.1 共模傳輸線之電容與電感效應分析

5

(1)電容效應分析:

$$I_{1} = C \frac{dV_{1}}{dt} + C_{m} \frac{d(V_{1} - V_{2})}{dt}$$
(1)

$$I_{2} = C \frac{dV_{2}}{dt} + C_{m} \frac{d(V_{2} - V_{1})}{dt}$$
(2)

因為 V1=V2, 可推導出

$$I_{1} = C \frac{dV_{1}}{dt} + C_{m} \frac{d(V_{1} - V_{1})}{dt} = C \frac{dV_{1}}{dt}$$
(3)

$$I_{2} = C \frac{dV_{2}}{dt} + C_{m} \frac{d(V_{2} - V_{2})}{dt} = C \frac{dV_{2}}{dt}$$
(4)

vW

所以共模電容為

 $C_c = C$ 

(5)

也就是說,在差模的傳輸線中,電容效應沒有改變。 (2)電感效應分析:

$$V_1 = L\frac{dI_1}{dt} + L_m\frac{dI_2}{dt} \tag{6}$$

$$V_2 = L\frac{dI_2}{dt} + L_m\frac{dI_1}{dt}$$
(7)

因為 $I_1 = I_2$ ,所以

$$V_{1} = L\frac{dI_{1}}{dt} + L_{m}\frac{dI_{1}}{dt} = (L + L_{m})\frac{dI_{1}}{dt}$$
(8)

$$V_{2} = L\frac{dI_{2}}{dt} + L_{m}\frac{dI_{2}}{dt} = (L + L_{m})\frac{dI_{2}}{dt}$$
(9)

所以共模電感為

 $L_C = L + L_m \tag{10}$ 

也就是說,在差模的傳輸線中,電感效應增加了 $L_m$ 。

# 2.2 差模傳輸線之電容與電感效應分析

電容效應分析:

$$I_{1} = C \frac{dV_{1}}{dt} + C_{m} \frac{d(V_{1} - V_{2})}{dt}$$
(11)

$$I_{2} = C \frac{dV_{2}}{dt} + C_{m} \frac{d(V_{2} - V_{1})}{dt}$$
(12)

因為

V1 = -V2 (13)

得到

$$I_{1} = C \frac{dV_{1}}{dt} + C_{m} \frac{d(V_{1} + V_{1})}{dt} = (C + 2C_{m}) \frac{dV_{1}}{dt}$$
(14)

$$I_{2} = C \frac{dV_{2}}{dt} + C_{m} \frac{d(V_{2} + V_{2})}{dt} = (C + 2C_{m}) \frac{dV_{2}}{dt}$$
(15)



所以差模電容為

$$C_d = (C + 2C_m) \tag{16}$$

也就是說,在差模的傳輸線中,電容效應增加了 Cm。 電感效應分析:

$$V_1 = L\frac{dI_1}{dt} + L_m\frac{dI_2}{dt}$$
(17)

$$V_2 = L\frac{dI_2}{dt} + L_m\frac{dI_1}{dt}$$
(18)

因為 $I_1 = -I_2$ ,則

$$V_{1} = L\frac{dI_{1}}{dt} + L_{m}\frac{d(-I_{1})}{dt} = (L - L_{m})\frac{dI_{1}}{dt}$$
(19)

$$V_{2} = L\frac{dI_{2}}{dt} + L_{m}\frac{d(-I_{2})}{dt} = (L - L_{m})\frac{dI_{2}}{dt}$$
(20)

所以差模電感為

$$L_d = L - L_m \tag{21}$$

也就是說,在差模的傳輸線中,電感效應減少了L,,。

### 2.3 共模與差模傳輸線之阻抗分析

共模傳輸線之電容 $C_c = C$ ,電威 $L_c = L + L_m$ ,其阻抗為

$$Z_{\text{even}} = ((L + L_m)/C)^{1/2}$$
(22)

差模傳輸線之電容 $C_d = (C + 2C_m)$ ,電威 $L_d = L - L_m$ ,其阻抗為

$$Z_{\text{even}} = ((L - L_m)/(C + 2C_m))^{1/2}$$
(23)

電容與其電容平板間距成反比,因此共模與差模之阻抗與其電容平板間距成開根號 之正比,也就是說,當平行線之間距愈小時,其阻抗就愈大。當傳輸線之阻抗增加時, 傳輸線上產生壓降,造成各點壓降的改變,而產生訊號不完整的現象。

在差模傳輸線中,當傳輸不同步時,如圖五,就會產生共模現象。所以在差模傳輸 線中會有差模及共模現象,當傳輸越同步時,如圖六,則共模現象就愈小。當共模現象 小到可以忽略時,那麼就可以用差模現象來看待。

**G**HyWeb



圖五 差模不同步傳輸



圖六 差模同步傳輸

#### 3.差模傳輸線之模擬

本文使用 speed2000 來模擬差模傳輸線的干擾情形,並探討在何種平行線的間距下 仍可保有訊號的完整度。其中摸擬所使用的條件設定如下:

線厚:2mil 線的銅箔寬度W:10mil 平行線長度:16mm 平行線間距S:分別在1,5,10,15,20,30,50mil的情況下做模擬 輸入訊號:方波,最高電壓5V,最低電壓0V,上升及下降時間100ps,週期600ps。

模擬電路之電源內阻、傳輸線單位阻抗及負載電阻皆為 50 歐姆,得到適當的阻抗 匹配,以將因為阻抗不匹配的因素所造成的能量損失降到最低。圖七為間距 10 mil 之差 模傳輸線模擬波形,其中 V<sub>near</sub>代表第一條線之近端電壓,V<sub>far</sub>代表第一條線之遠端電壓。 因為第一條線和第二條線的訊號為對稱,所以只需要分析第一條線之波形。由此波形可 得 V<sub>near</sub>之高電位為 2.387V,V<sub>far</sub>之高電位為 2.495V。V<sub>near</sub>和 V<sub>far</sub>之落差是由平行線之阻 抗所造成,當平行線愈靠近,阻抗就會增加,而使兩端之電壓產生落差則更大。



圖七 間距 10 mil 之差模傳輸線模擬波形(縱軸為電壓,橫軸為時間)

表一不同間距差模傳輸線之近端與遠端模擬數據,當平行線之間距在 5mil 以下時,  $V_{near} \mathcal{Q} V_{far}$ 之高電位同時下降幅度變得很大。訊號的傳輸首要考慮的是訊號完整度,因 為當訊號不完整時,就無法判讀資料。當訊號在傳輸時損失能量或受到干擾時還能正確 地判讀出資料,則此訊號就保有訊號的完整度,否則就失去了訊號的完整度。本文所舉 之電路於傳輸的輸出端上,在沒有受到干擾的情況之下,高電位電壓為 2.5V。假設誤 差的容許度在正負 5%以內時,訊號可以視為高度完整,也就是當電壓可接受的範圍為 2.375V 至 2.625V 之間。在表一中,當平行線間距在 10 mil 以下時, $V_{near} \mathcal{Q} V_{far}$ 之高電 位就不在 2.375V 至 2.625V 之間,也就是當平行線間距在 10 mil 以上時,仍可保有訊號 的高度完整性。

平行線間距(mil)	高電位之 Vnear(V)	高電位之 Vfar (V)
1	1.744	2.220
5	2.306	2.485
10	2.387	2.495
15	2.433	2.498
20	2.455	2.499
30	2.474	2.500
50	2.487	2.500

表一 不同間距差模傳輸線之近端與遠端模擬數據

由此可知,對於線寬為 10 mil 之差模傳輸線而言,為了保持訊號之完整性,其平行線之間距至少應為 10 mil 以上。共模傳輸線之合理間距,一般是需要兩倍線寬以上,也就是說,對於線寬 10 mil 之傳輸線之平行線間距,至少要在 20mil 以上。因此使用差模傳輸線作為傳輸之媒介,可以減少佈線之面積。

#### 4.結論

訊號在傳輸時需要考慮其完整性。從本文的探討中得知,為了維持訊號的完整度, 在差模傳輸線中,平行線之間距至少應為其傳輸線之線寬以上。有了這個結論,可以在 佈線時對於最小間距有所依據,以避免平行線佈線過近而造成訊號的完整度受到破壞, 進而在佈線面積及訊號完整度之間取得最佳的結果。

## 參考文獻

- 1. Walker C.S., "Capacitance, Inductance and Crosstalk Analysis," *Artech House Publishers*, 1990.
- 2.L. B. Gravelle and P. F. Wilson, "EMI/EMC in Printed circuit boards-A literature review," *IEEE Trans. Electromag. Compat.* Vol. 34, pp.109-116, 1992.
- 3.S. Castillo, R. Mittra, "A Study of Crosstalk and Distortion of High-Speed Pulses in Digital Cirsuits," *Research Report R-1033, Illinois univ. at urbana coordinated science lab.*, Illinois, 1985.
- 4.David A. Hill, Fellow, IEEE, Kenneth H. Cavcey, and Robert T. Johnk, Member, "Crosstalk Between Microstrip Transmission Lines," *IEEE Transactions on electromagnetic compatibility*, Vol. 36(4), pp.314-321, 1994.
- 5.W. Shi and J. Fang, "Evaluation of closed-form crosstalk models of coupled transmission lines," *IEEE Trans. Adv. Packag.*, Vol. 22, pp.174-181, 1999.
- 6.I. Novak, "Modeling, Simulation, and Measurement Considerations of High-Speed Digital Buses," IEEE Transactions on instrumentation and measurement, Vol. 41(6), pp. 921-925, 1992.
- 7.J. B. Marshall, "Flat cable aids transfer of data," Electron., No. 4, pp.89-94, 1973.
- 8.J. P. Gilb and C. A. Balanis, "Pulse distortion on multilayer coupled microstrip lines," *IEEE Trans. Microwave Theory Tech.* Vol. MTT-37, pp. 1620-1627, 1989.
- 9.M. Homo and R. Marques, "Coupled microstrips on double anisotropic layers," *IEEE Trans. Microwave Theory Tech.* Vol. MTT-32, pp. 467-470, 1984.
- 10. Talgat R. Gazizov, "Far-End Crosstalk Reduction in Double-Layered Dielectric Interconnects," *IEEE Trans. Electromag. Compat.* Vol. 43(4), pp. 566-571, 2001.
- 11.Bertalan Eged, Ferenc Mernyei, Istvák, and Péter Bajor, "Reduction of Far-End Crosstalk on Coupled Microstrip PCB Interconnects," *IEEE Instrumentation and Measurement Technology Conference, 10th Anniversary Advanced Technologies in I & M.*, Hamamatsu, 1994.
- 12.M. H. Wu, W. J. Chen, J. W. Liang, X. B. Fang, "An Improvement Method of the Increase Mutual Capacitance for Reducing Far-End Crosstalk in Transmission Line," *IEEE AP-S International Symposium*, pp. 1227-1230, *New Mexco.*, 2006.
- 13.吴明皇,陳文中,"非等長差模傳輸線之訊號完整度,"工業教育與技術學刊,第三 十二期,九十六年十二月。
- 14.Paul, C.R., "A comparison of the contributions of common-mode and differential-mode currents in radiated emissions," *IEEE Transactions on Electromagnetic Compatibility*, Vol 31(2), pp. 189-193, 1989.

HvWeb