

國科會計畫

計畫編號: NSC95-2221-E239-049

研究期間: 9508-9607

Lateral DMOS 與其高靜電防護技術設計及測試
Design and Testing of the Lateral DMOS & Its High ESD Protection Technique

陳勝利; 陳宏偉; 陳漢臣; 李宜穆; 陳勛祥

中文摘要

近年來功率半導體元件例如 Lateral DMOS 被廣泛地應用於 TFT LCD 工業領域上，然而在此領域裡由於 LCD 基材為絕緣體，因此靜電放電破壞 (ESD) 問題比起積體電路業更為嚴重，而且功率半導體元件抗 ESD 的能力有時甚至比一般低電壓製程之積體電路更為脆弱。由於功率元件在應用上，本身週遭環境及外來突波均有可能產生非常高的電壓。因此功率元件也必須考量抗高靜電壓破壞 ESD (Electrostatic Discharge, ESD)/突然外來過壓破壞(Electric Overstress, EOS) 之能力。以往功率元件較不設計有防高電壓、EOS 破壞的保護設計。因此，本計劃擬提功率元件具有高 ESD/EOS 防護之設計，用以使其之輸入/出埠具較佳的可靠性，當然對常溫及高溫的閃鎖免疫能力也需要非常理想。靜電放電的問題日益嚴重，傳統靜電防護元件的設計大多利用嘗試錯誤法實際測試或用 SPICE 模擬等效電路，以獲得適合的保護元件。本研究先利用 Tsuprem-4 及 Medici 等 EDA 模擬軟體設計出 Lateral DMOS 電性參數值，而且由 Design Window 中設計一套適切的 ESD 保護電路，再利用佈局參數分析比較其結果，使保護元件的電性表現符合 Design Window 範圍來達到 LDMOS 的 ESD 保護最佳化的目的。在 TFT LCD 功率元件技術中，高效能的 ESD 保護結構應該具有一個高於 40V 的保持電壓(可由 TLP 技術測得)。這能確保一個良好的 ESD 保護效能，在高電壓峰值時不會有 latch-up 的危險。本計劃中將提出最佳化方法去達到這樣的目的，對於功率結構的分析，除了 HBM 之外，近來所發展的傳輸線觸波(TLP)系統也被使用，最後希望此功率技術產品的 ESD 性能可通過 > 4KV、保持電壓 > 40V。

關鍵字：靜電放電; 過壓破壞; 閃鎖效應

Key words : LDMOS; Tsuprem-4; Medici