

行政院國家科學委員會專題研究計畫 成果報告

高密度磁阻式隨機存取記憶體之核心技術研發(II)

計畫類別：個別型計畫

計畫編號：NSC94-2623-7-018-001-IT

執行期間：94年04月01日至95年03月31日

執行單位：國立彰化師範大學台灣自旋科技研究中心

計畫主持人：吳仲卿

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 95 年 5 月 5 日

行政院國家科學委員會專題研究計畫成果報告

計畫名稱：高密度磁阻式隨機存取記憶體之核心技術研發(II)

計畫編號：NSC 94-2623-7-018-001-IT

執行期限：94 年 04 月 01 日至 95 年 03 月 31 日

執行機關：國立彰化師範大學物理學系暨研究所

主持人：吳仲卿 教授

吳仲卿 phjcwu@cc.ncue.edu.tw

一、摘要

本計畫的執行主要在研究離子蝕刻應用於高密度磁阻式隨機存取記憶體的製作技術：包括微米及奈米級元件之多層膜蝕刻測試，尤其針對擁有高磁阻之磁穿隧(Magnetic tunnel junction)多層膜為主。本計畫在製程上使用電子束微影術透過舉離製程，在多層膜材料上製作微米及奈米級圖形之元件遮罩，再使用乾式離子蝕刻系統(ion-milling system)將圖形轉移至多層膜材料中，將探討離子蝕刻在製程中所面臨的挑戰及解決方法，並展示此核心技術確實在製作磁穿隧元件之過程扮演舉足輕重之角色。

二、緣由及目的

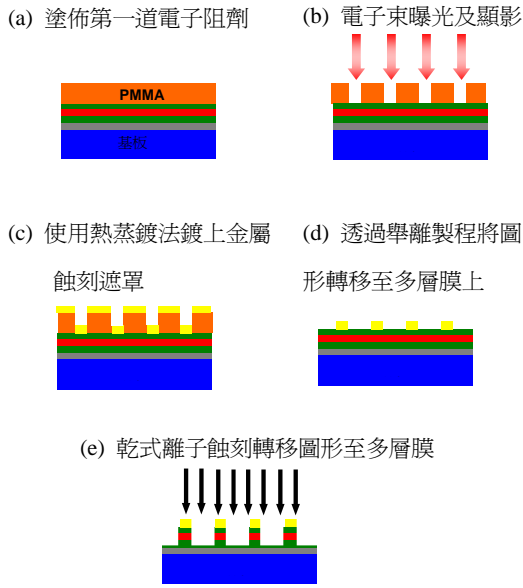
近年來高密度磁阻式隨機存取記憶體的研發不僅在我國，甚至在全世界的研究單位及記憶體產業十分熱門，其所擁有之非揮發性、快速度、低成本、低耗能及高密度之特性，使其在下世代記憶體產業成為明日之星【1-3】。在使用之材料方面，目前以磁穿隧(Magnetic tunnel junction)多層膜為主要利用，而為追求高磁阻、高密度及元件穩定特性，研發及製作元件

主要著重在 Top-down 製程，亦即先將高品質多層膜成長於基板後，再利用微影及蝕刻系統將元件圖形轉移至多層膜材料中，進而量取多層膜及元件之相關特性。值得注意的是在多層膜材料中，為得其穿隧現象，其中之穿隧結必須控制在 1~3 奈米左右，而現今大部分使用 Al-O 及 MgO 材料，故在蝕刻過程中，若有任何雜質黏附於穿隧結邊將導致元件短路，而無法量測其特性，而採用離子蝕刻法(ion-milling)因於針對多層膜之不同材料使用本物理轟擊法為最之直接且方便之工具。因此站在製程及研發的角度，我們必須視蝕刻為製程中之核心技術，本計畫即針對於此，做一詳細之探討研究。

三、實驗程序

本計畫採用由上而下(Top-down)製程探討離子蝕刻製程所面對的問題及解決方法，步驟所示如圖一：(a)先 在多層膜材上塗佈電子阻劑 PMMA (b) 透過 NPGS(Nano Pattern Generate Sysytem)設計並控制電子束曝光並顯影出微米及奈米級圖形 (c)使用熱蒸鍍機鍍上一層硬金屬做為蝕刻遮罩 (d)

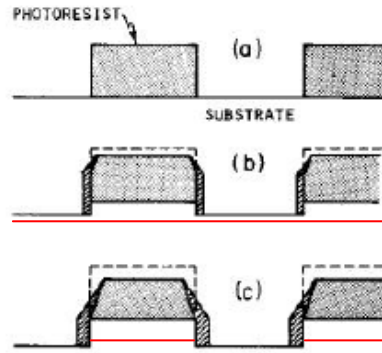
透過舉離製程將圖形轉移至多層



圖一：實驗進行流程圖
膜材料之上 (e)最後以離子蝕刻系統將圖形轉移至多層膜材料，其中紅色區塊為 Tunnel Junction 之位置，並以電子顯微鏡觀察元件形貌。

四、實驗結果與討論

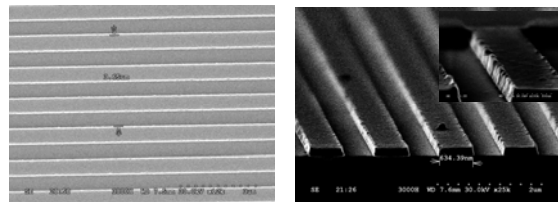
離子蝕刻系統(ion-milling)是屬於乾式物理轟擊蝕刻，不論多層膜材料為何，均會被蝕刻，差別僅在於被蝕刻速率的快慢，個別材料蝕刻速率可參照參考資料四【4】。不同於反應式離子蝕刻(Reactive Ion Etch)需針對不同材料使用不同反應氣體蝕刻，故離子蝕刻在此製程上較被廣泛使用。而離子蝕刻系統常遭遇到的問題為反鍍現象(Redeposition)，其演化情形以圖二為例，並參照參考資料五【5】：



圖二：反鍍現象之演化圖【6】

(a)以光阻為蝕刻遮罩 (b)蝕刻進行中，其中紅線表示 tunnel junction 所在位置 (c)蝕刻至 tunnel junction 以下，蝕刻終止。

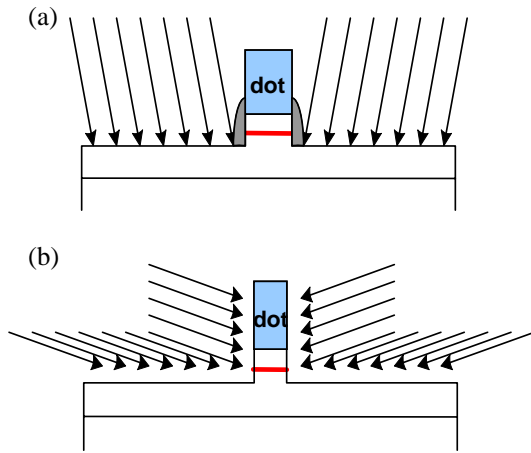
上圖可看出反鍍情形對製作高密度磁阻元件(尤其以 MTJ 材料為基礎)將造成相當大影響，最直接的觀察將到的到元件短路之情形，而圖三為本計畫所觀察到之反鍍現象：(a)以電子束微影術配合舉離製程所製作線寬五百奈米之線陣列之 SEM 圖，蝕刻遮罩為 Ti 金屬(b)以離子蝕刻至絕緣層以下之線陣列剖面圖，可明顯觀察到反鍍之現象發生。



圖三、本計畫測試反鍍情形之 SEM 圖

為解決此關鍵問題，本計畫所探討之解決方法如圖四所示：(a)離子入射角為 15° 至 45° ，此階段蝕刻主要在於直向深度之蝕刻，蝕刻終點為 tunnel junction 以下，此時反鍍情形將發生 (b)離子入射角大於 45° ，本實驗採 75°

入射角，此階段蝕刻元件側壁，主要使側壁蝕刻速率大於反鍍速率。



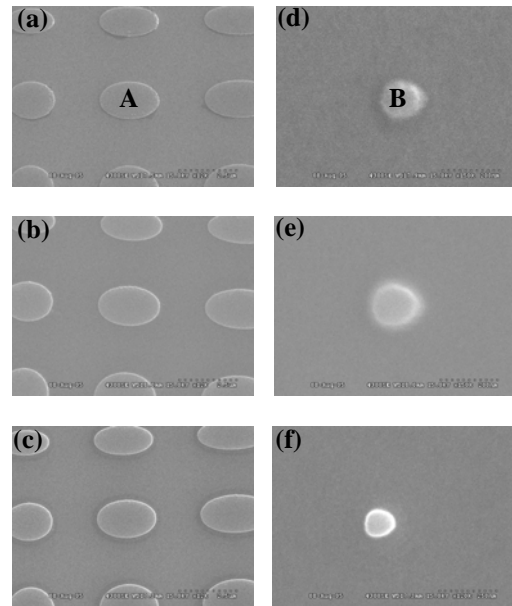
圖四：解決反鍍情形之方法

在實際探討方面，我們製作了微米及奈米圖形陣列在多層膜上，以Ti 80 奈米為蝕刻遮罩，並測試上述所提出之解決方案，本計畫所使用之磁性多層膜為日本東北大學Takahashi教授所提供，其材料組成為 Si/SiO₂ 50-substrate / Ta 5 / Cu 20 / Ta 5 / NiFe 2 / Cu 5 / MnIr 10 / CoFe 4 / Al-N 1.5 / CoFe 4 / NiFe 20 / Ta 5 (thickness in nm)

【6】，因此第一階段蝕刻終點將停止在MnIr層，並探討此時之反鍍情形，而後加以第二階段蝕刻以觀察清除反鍍之效果。

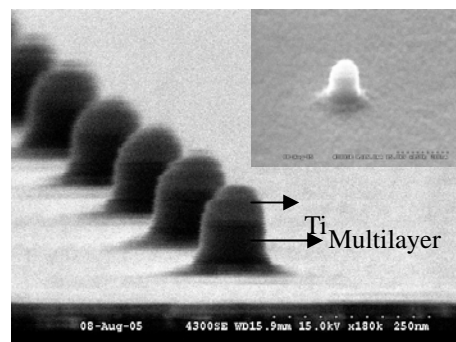
圖五為微米及奈米圖形陣列在蝕刻前後之SEM圖形，我們可看出：(a)微米橢圓陣列A樣品在蝕刻前長軸為2.62微米，短軸為1.65微米(b)微米橢圓陣列A樣品在以45°蝕刻600秒至MnIr層後，長軸為2.68微米，短軸為1.69微米(c)微米橢圓陣列A樣品在以75°蝕刻480秒後長軸為2.58微米，短軸為1.62微米(d)奈米點陣列B樣品在蝕刻前大小為130奈米(e)奈米點陣列B樣品在以45°蝕刻600秒至MnIr層

後，大小為135奈米(f)奈米點陣列B樣品在以75°蝕刻480秒後，大小為121奈米。

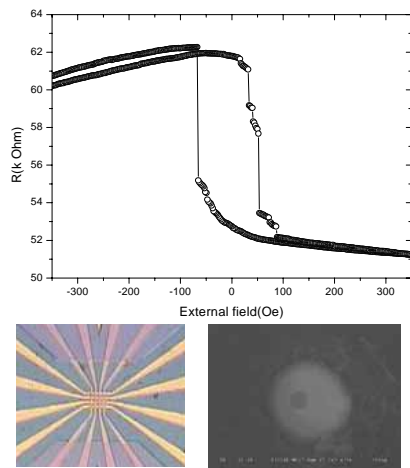


圖五：微米及奈米陣列蝕刻前後之比較，其中(a)(b)(c)在相同放大倍率下之SEM圖，(d)(e)(f)亦在相同放大倍率下之SEM圖

由上圖SEM Top-view我們可直接觀察到，元件在45°蝕刻後由於反鍍的產生而使其變大，經過75°大角度蝕刻後，元件即縮小，甚至比未蝕刻前還小，藉由此測試探討，我們可說反鍍應以清除，我們亦取得蝕刻後的奈米元件陣列之剖面SEM圖，如圖六所示，亦能觀察其邊際之平滑蝕刻。



圖六：蝕刻後奈米陣列之剖面圖，插圖為單刻放大圖



圖七：以二階段蝕刻法所製作之微米及奈米元件磁阻量測數據圖，(a)之插圖為元件之光學顯微圖，(b)之插圖為元件之 SEM 圖

最後，我們使用此蝕刻參數所製作出之高磁阻元件如圖七所示：(a)長軸 5 微米，短軸 3 微米之橢圓 4×4 陣列元件，磁阻值為 20% (b)直徑 500 奈米元件，磁阻值為 16%。

五、結論

本計畫探討離子蝕刻系統在蝕刻過程中所必然遭遇之問題，並提出

二階段蝕刻法以克服之。我們製作微米及奈米陣列，比較小角度蝕刻後與蝕刻前元件大小的不同定義反鍍的情形，並施以大角度蝕刻使反鍍消失，由 SEM 圖片可清楚看出差別，此外 SEM 剖面圖亦提供此參數下蝕刻側壁之良好品質的訊息。最後，我們使用此方法亦成功製作出微米及奈米及高磁阻元件，亦足以顯示此蝕刻方法之可行性。

六、參考文獻

- [1] J. S. Moodera et al, *Appl. Phys. Lett.*, vol. 69, pp. 708-710, Jul. 1996.
- [2] W. S. Zhang et al, *J. Appl. Phys.*, vol. 83, pp. 5332-5336, May 1998
- [3] S. S. P. Parkin et al, *J. Appl. Phys.*, vol. 85, pp. 5828-5833, Apr. 1999.
- [4] M. Cantagrel, *J. Vac. Sci. Technol.*, Vol. 12, p.p. 1340, 1975.
- [5] Per G. Glöersen, *J. Vac. Sci. Technol.*, Vol. 12, p.p. 28, 1975.
- [6] Satoru Yoshimura et al, *IEEE Trans. Magn.*, vol. 40, pp. 2290-2292, Jul. 2004