

以嶄新之隨機存取掃描測試架構減少峰值功率，測試資料與時間
A Novel Random Access Scan for Reducing Peak Power, Test Data and Time

何威毅; 陳振岸; 黃宗柱

中文摘要

由於現代產業科技之發展以人本為基礎，智慧生活科技將更重視消耗性電子產品的攜帶性與可靠度。在多元願景的導向下，多功能快速系統必然要在單一系統晶片中完成，使得其功耗與可靠度面臨嚴重的挑戰。尤其是在測試時的平均功耗為正常模式下的數倍，而尖鋒功耗與測試時間更可能成為產品可靠度的瓶頸，使得系統晶片測試成為智慧生活系統晶片設計的主要關鍵。為了克服在測試時功率過高、資料量大與時間過長的問題，在本篇論文中，我們採取可同時減少上述問題的隨機存取掃描架構，發展可避免突波發生之新測試架構。利用直接擷取邏輯值的方式，在擷取週期時大量減少峰值功率，並採納向量排序法與未定義位元填充技術應用於測試向量，使測試時間與資料量更加減少。我們並發展協助自動合成之軟體工具，將 8 個基準電路合成佈局，並與相關參考文獻做比較。實驗的結果顯示，我們的架構不僅峰值功率平均可降低 78%，測試時間與測試資料量則大約可降至 64%。另外，整體平均面積亦約略可省 13%。

關鍵字：系統晶片測試; 隨機存取掃描; 突波; 峰值功率; 測試向量

Key words：SoC Test; Random access scan (RAS); Glitch; Peak power; Test vector